



(19)

(11) Publication number:

**03032064 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **01167597**(51) Intl. Cl.: **H01L 29/784**(22) Application date: **29.06.89**

(30) Priority:

(43) Date of application publication: **12.02.91**

(84) Designated contracting states:

(71)

Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **ODA SHUICHI**

(74)

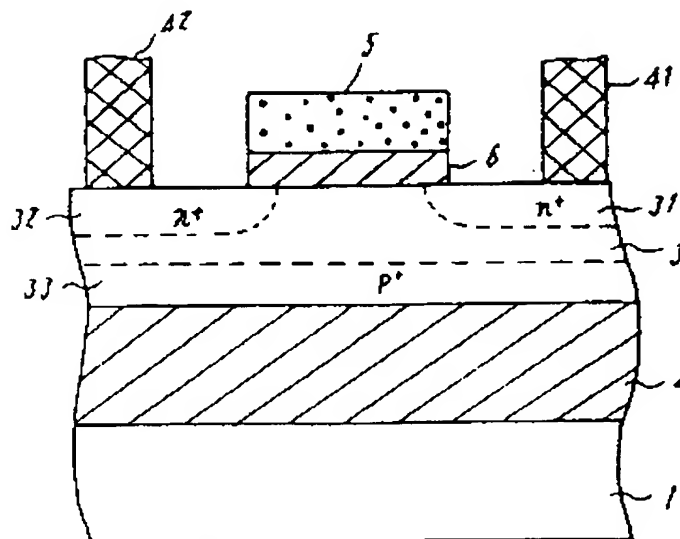
Representative:

**(54) SEMICONDUCTOR DEVICE**

(57) Abstract:

**PURPOSE:** In a transistor being formed within the silicon film on an insulating film, to absorb positive holes generated by collision ionization phenomena so as to improve breakdown strength by providing a region having a concentration higher than the substrate concentration.

**CONSTITUTION:** When a source electrode 42 is grounded and positive voltage is applied to a gate electrode 5, a transistor becomes ON conditions. When positive voltage is applied to a drain electrode 41 in this condition, electrons flow from a source diffusion layer 32 to a drain diffusion layer 31. Moreover, when the electrons get energy enough being accelerated by an electric field, they collide against a silicon lattice and generate electron-hole pairs, and the electrons generated here are absorbed in a layer 31 along a drain electric field. the positive holes flow in a substrate and are absorbed in a P+ diffusion layer 33 in high positive hole density. Hereby, they do not accumulate in the vicinity of the layer 32, and also potential barriers between the source and the substrate cease to be low. As a result, kink phenomena become small or cease to appear.



COPYRIGHT: (C)1991,JPO&amp;Japio

## ⑫ 公開特許公報(A) 平3-32064

⑬ Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月12日

H 01 L 29/784

9056-5F H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-167597

⑰ 出 願 平1(1989)6月29日

⑱ 発 明 者 尾 田 秀 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

絶縁膜上に形成されたシリコン層内に製造したトランジスタにおいて、基板濃度より濃い領域を備えたことを特徴とする半導体装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は絶縁膜上に形成されたシリコン層に作られたトランジスタにおいて、基板が電極と接地されないトランジスタに関するものである。

(従来の技術)

第2図は従来の半導体装置を示す断面図で、図において、(1)はシリコン基板、(2)はシリコン酸化膜、(3)はシリコン層、(4)、(5)はそれぞれシリコン層(3)内におけるドレイン拡散層、ソース拡散層である。(6)はドレイン電極、(7)はソース電極、(8)はゲート電極、(9)はゲート酸化膜である。

次に動作について説明する。ソース電極(7)を接

地しゲート電極(8)に正の電圧を印加すると、ゲート酸化膜(9)直下のシリコン層(3)表面では反転層が形成される。この状態で、ドレイン電極(6)に正の電圧を印加すると、ソースドレイン方向に沿って反転層内に電位勾配ができ、ソース拡散層(5)より電子がドレイン拡散層(4)に流れる。このときのドレイン電圧-ドレイン電流特性は第3図に示すようになる。ソース拡散層(5)より流れ出た電子は、電位勾配によって加速され、エネルギーが大きくなると、シリコン基板(3)内の格子に衝突し、電子-正孔対を発生させ、エネルギーを失う。これを衝突電離現象という。この衝突電離現象で生じた電子はドレイン電界によって引き寄せられ、ドレイン拡散層(4)に入りドレイン電流となる。一方、正孔は吸収されるところがなく基板領域に蓄積される。ドレイン拡散層近傍ではドレイン電界によって、正孔は追いやられ、ソース拡散層(5)近傍に正孔が集まる。その結果、ソースと基板間の電位障壁が小さくなり、ソースからより多くの電子が流れ出て、ドレイン電流は増加し、第3図に示す

第1キントを生じる。ドレイン印加電圧がさらに高くなるとこの現象が著しくなり、トランジスタがバイポーラ動作してしまう。これが第2キントである。

〔発明が解決しようとする課題〕

従来のSOI内に形成された半導体装置は以上のように基板が電極と接続されていないため、正孔がソース近傍に集まりキント現象が表れやすく耐圧が低いという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、SOI内に形成された高耐圧トランジスタを得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は基板の底にP<sup>+</sup>拡散領域を形成したものである。

〔作用〕

この発明におけるP<sup>+</sup>拡散領域は、衝突電離現象によって発生した正孔を集収する。

〔実施例〕

以下、この発明の一実施例を図について説明す

(a)下部に配置した場合を示したが、P<sup>+</sup>拡散層(4)をソース領域近傍だけに配置してもよい。また、シリコン酸化膜(2)の一部分を掘り下げP<sup>+</sup>拡散層を設けてもよい。

〔発明の効果〕

以上のようにこの発明によれば、基板にP<sup>+</sup>拡散層を配置したので、衝突電離現象によって発生した正孔を集収することができ、SOI内のトランジスタの耐圧を向上させることができる。

#### 4 図面の簡単な説明

第1図はこの発明の一実施例による半導体装置を示す断面図、第2図は従来の半導体装置を示す断面図、第3図は従来の半導体装置のドレイン電流-ドレイン電圧特性を示す図である。

図において、(1)はシリコン基板、(2)はシリコン酸化膜、(3)はシリコン層、(4)はドレイン拡散層、(5)はソース拡散層、(6)はP<sup>+</sup>拡散層、(7)はドレイン電極、(8)はソース電極、(9)はゲート電極、(10)はゲート酸化膜を示す。

なお、図中、同一符号は同一、又は相当部分を

示す。第1図において、(1)はシリコン基板、(2)はシリコン酸化膜、(3)はシリコン層、(4)はドレイン拡散層、(5)はソース拡散層、(6)はP<sup>+</sup>拡散層、(7)はドレイン電極、(8)はソース電極、(9)はゲート電極、(10)はゲート酸化膜である。

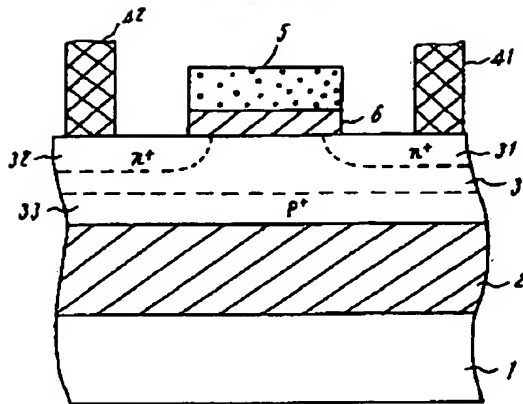
次に動作について説明する。ソース電極(8)を接地し、ゲート電極(9)に正の電圧を印加すると、トランジスタがオン状態となる。この状態でドレイン電極(7)に正の電圧を印加すると、先に述べたようにソース拡散層(5)からドレイン拡散層(4)に電子が流れる。また、十分に電子がエネルギーを得ると、シリコン格子に衝突し電子正孔対を発生する。ここで発生した電子はドレイン電界に沿ってドレイン拡散層(4)に吸収される。正孔は基板中を流れ正孔密度の高いP<sup>+</sup>拡散層(6)に吸収される。これにより、ソース拡散層(5)近傍に蓄積することがなくなり、ソースと基板間の電位障壁も低くなくなる。その結果、キント現象が小さく、あるいは出現しなくなる。

なお、上記実施例ではP<sup>+</sup>拡散層(6)をシリコン層

示す。

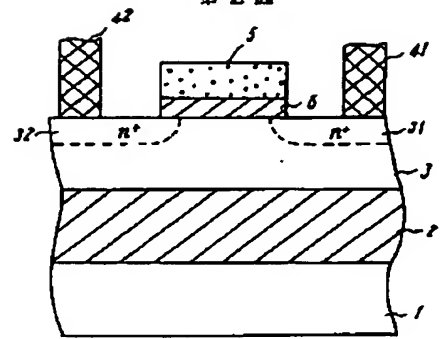
代 理 人 大 岩 増 雄

第 1 図

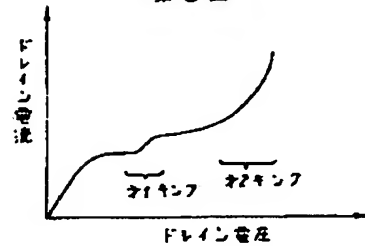


- 1: シリコン基板
- 2: シリコン酸化膜
- 3: シリコン層
- 5: ゲート電極
- 6: ゲート酸化膜
- J1: ドレイン拡散層
- J2: ソース拡散層
- 41: ドレイン電極
- 42: ソース電極

第 2 図



第 3 図



手続補正書 (自発) 通  
平成 1 年 10 月 18 日

特許庁長官殿

平

1. 事件の表示 特願昭 1-167597 号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁護士 大 岩 増 雄  
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄。

6. 補正の内容

(1) 明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
3	6	SOI 内に形成され た	SOI ( Silicon On Insulator ) を用いた
3	11	SOI 内に形成され た	SOI を用いた
3	18	収集する。	収集する。
4	11	十分に電子が	電界によって加速さ れ十分に電子が
4	12	電子正孔	電子-正孔
5	8	SOI 内の	SOI を用いた

以 上

式 査 図

